

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Problem Image Mailbox.**

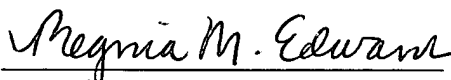
IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

APPLICANT(S): Chien-Te CHEN and Chien-Ping HUANG
FILED: Herewith
FOR: CHIP CARRIER AND METHOD FOR TESTING ELECTRICAL
PERFORMANCE OF PASSIVE COMPONENT

CERTIFICATE OF EXPRESS MAILING

I hereby certify that this correspondence and the documents referred to as attached therein are being deposited with the United States Postal Service on this date **December 3, 2003**, in an envelope as "Express Mail Post Office to Addressee," mailing Label Number **EV 317952304 US** addressed to the: MAIL STOP PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450.

By:


Regina M. Edwards

TRANSMITTAL OF CERTIFIED COPIES

Attached please find the certified copy of the foreign application from which priority is claimed for this case:

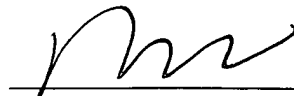
(A) Country: Republic of China
Application Number: 092107226
Filing Date: March 31, 2003

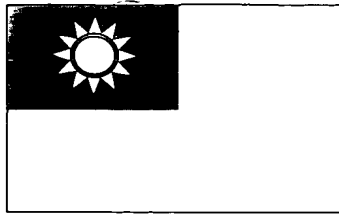
WARNING: "When a document that is required by *statute* to be certified must be filed, a copy, including a photocopy or facsimile transmission of the certification is not acceptable." 37 C.F.R. section 1.4(f) (emphasis added).

NOTE: "The claim to priority need be in no special form and may be made by the attorney or agent, if the foreign application is referred to in the oath or declaration, as required by section 1.63." 37 C.F.R. section 1.55(a).

Respectfully submitted,

Date: December 3, 2003
Customer No. 21874


Peter F. Corless
Reg. No. 33,860
Intellectual Property Practice Group of
EDWARDS & ANGELL, LLP
P. O. Box 9169
Boston, MA 02209



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 03 月 31 日
Application Date

申請案號：092107226
Application No.

申請人：矽品精密工業股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 5 月 8 日
Issue Date

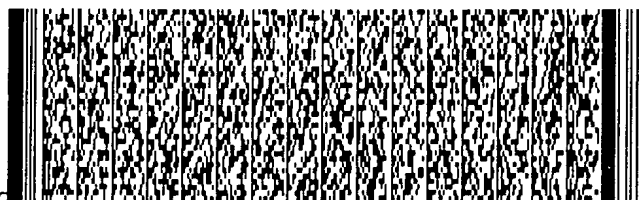
發文字號：09220438150
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	可測試被動元件電性之晶片承載件及其測試方法
	英 文	CHIP CARRIER FOR TESTING ELECTRIC PERFORMANCE OF PASSIVE COMPONENTS AND METHOD FOR TESTING SAME
二、 發明人 (共2人)	姓 名 (中文)	1. 陳建德
	姓 名 (英文)	1. Chien-Te CHEN
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 台中縣豐原市中陽里同安街148號
	住居所 (英 文)	1. No. 148, Tong -An St., Chung-Yang Li, Feng-Yuan, Taichung Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 矽品精密工業股份有限公司
	名稱或 姓 名 (英文)	1. SILICONWARE PRECISION INDUSTRIES CO., LTD.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 台中縣潭子鄉大豐路三段123號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 123, Sec. 3, Da Fong Road, Tantz, Taichung, Taiwan, R.O.C.
	代表人 (中文)	1. 林文伯
	代表人 (英文)	1. Wen-Po LIN



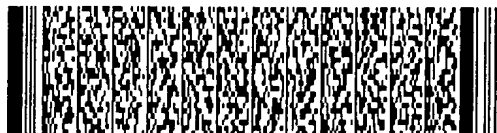
17166.plu

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共2人)	姓 名 (中文)	2. 黃建屏
	姓 名 (英文)	2. Chien Ping HUANG
	國 籍 (中英文)	2. 中華民國 TW
	住居所 (中 文)	2. 新竹縣竹東鎮康莊街26巷8號
	住居所 (英 文)	2. No. 8, Lane 26, Kang Chuang Sreet, Chutung Town, Hsinchu County, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	

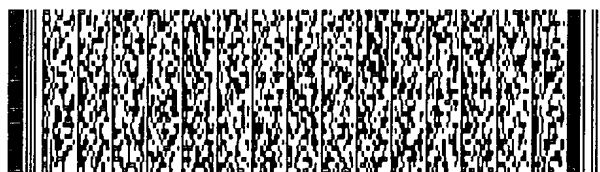
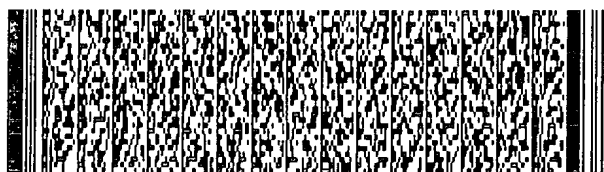


四、中文發明摘要 (發明名稱：可測試被動元件電性之晶片承載件及其測試方法)

一種可測試被動元件電性的晶片承載件，係包括佈設有多數導電跡線之芯層；至少一預定接置被動元件於其中的第一導電跡線，其兩端部係可分別連接至位於該晶片承載件一表面的第一鐳線墊與位於另一相對表面的第一鐳球墊，且該第一導電跡線上係具有一與該第一鐳線墊位於該被動元件預定接置位置之同側的第一預定位置；至少一未預定接置被動元件的第二導電跡線，係具有與該第一預定位置位於同一表面的第二預定位置，且係可連接至與該第一鐳球墊位於同一表面的第二鐳球墊；以及敷覆於該多數導電跡線上且形成多數個開口而至少外露出該第一、第二預定位置的拒鐳劑層；因此，該測試方法即係以一導電性治具連接該外露出拒鐳劑層的第一、第二預定位置，以利用其短路連接關係而可直接以位於同一表面的第一鐳球墊與第二鐳球墊為該被動元件之測試端，完成一快速且無需改變晶片承載件設計的電性測試方法。

六、英文發明摘要 (發明名稱：CHIP CARRIER FOR TESTING ELECTRIC PERFORMANCE OF PASSIVE COMPONENTS AND METHOD FOR TESTING SAME)

A chip carrier for testing electric performance of passive components and method for testing the same are proposed, wherein the chip carrier comprises a core layer, a set of conductive traces formed on a die attachment surface of the core layer, and a solder mask layer coated on the conductive traces. The conductive traces include at least a first conductive trace



四、中文發明摘要 (發明名稱：可測試被動元件電性之晶片承載件及其測試方法)

本案代表圖：第 4圖

- 11 芯層
- 14 拒錫劑層
- 20 第一導電跡線
- 21a 第一接點
- 21b 第二接點
- 22a 第一短路墊
- 27 第一錫球墊
- 30 第二導電跡線
- 32a 第二短路墊
- 37 第二錫球墊
- 40 被動元件
- 50 導電性治具
- 60 測試轉接座

六、英文發明摘要 (發明名稱：CHIP CARRIER FOR TESTING ELECTRIC PERFORMANCE OF PASSIVE COMPONENTS AND METHOD FOR TESTING SAME)

with two predetermined terminals for connecting a passive component, and a second conductive trace with no passive components, wherein a first predetermined position and a second predetermined position both exposed from the solder mask layer are respectively selected from the first and the second conductive traces, and the first predetermined position is placed on the same side

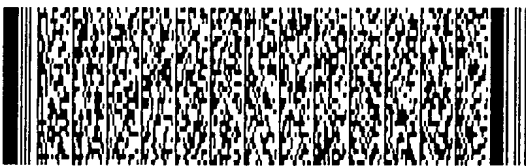


四、中文發明摘要 (發明名稱：可測試被動元件電性之晶片承載件及其測試方法)

61 測試探針頭

六、英文發明摘要 (發明名稱：CHIP CARRIER FOR TESTING ELECTRIC PERFORMANCE OF PASSIVE COMPONENTS AND METHOD FOR TESTING SAME)

with a first die finger formed on the first conductive trace. Then, a conductive material can be used to electrically connect the first and the second predetermined positions, and form a conductive pathway between the first die finger and a second ball pad connected with the second conductive trace. Thus, electric performance of the passive component can be easily tested by



四、中文發明摘要 (發明名稱：可測試被動元件電性之晶片承載件及其測試方法)

六、英文發明摘要 (發明名稱：CHIP CARRIER FOR TESTING ELECTRIC PERFORMANCE OF PASSIVE COMPONENTS AND METHOD FOR TESTING SAME)

respectively attaching the second ball pad and a coplanar first ball pad connected with the first conductive trace with testing probes.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

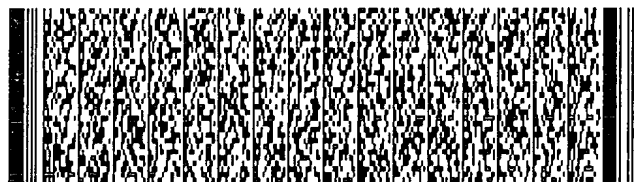
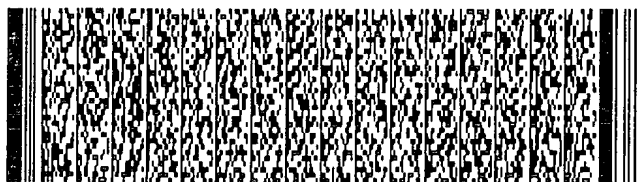
【發明所屬之技術領域】

本發明係關於一種可測試被動元件電性的晶片承載件及其測試方法，尤指一種無需改變晶片承載件設計而可進行快速測試的晶片承載件及其測試方法

【先前技術】

球柵陣列封裝 (Ball Grid Array, BGA) 技術由於其 IC 腳數、散熱能力、電氣特性與表面黏著良率等方面均具有較習知封裝件更佳之功效，因此在半導體封裝之應用上已日漸廣泛，並成為相關產業的主要研發方向，而一般球柵陣列封裝件為增強其電性，例如為消除訊號雜訊等，往往會在該封裝件之例如基板 (Substrate) 等晶片承載件上配置或黏接一些被動元件，例如電容、電阻與電感等，惟此一線路與電子元件之配置雖可改善封裝件之電性，確也因被動元件之可測試性較低以及與測試儀器的搭配問題，而形成基板上被動元件的電性測試難題，進而導致該類球柵陣列封裝件的測試與良率限制。

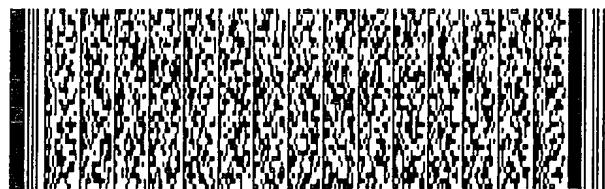
一般若於封裝件之基板上接置被動元件，係先以習知之表面黏著技術 (Surface Mount Technology, SMT) 將所設計的被動元件黏設於該基板上之預定導電跡線 (Trace) 上，並待該被動元件之電性測試無誤後，再進行晶片接合 (Die Bond)、鐸線 (Wire Bond)、封膠與鐸球植入等後續球柵陣列封裝製程；而若所接置之被動元件為一電容元件，其一般係以跨接之方式將該電容之兩端分別接置於該基板上之環狀接地層 (Ground Ring) 與環狀電源層 (Power



五、發明說明 (2)

Ring)上，如第 6A圖所示，此時由於該電容 71兩端電極具有不同之電性，故測試者可藉由該接地層 72與電源層 73經由該基板 10之導電貫孔 76 (Via)所形成的接地墊 74 (Ground Pad)與電源墊 75 (Power Pad)，作為該電容 71之測試點，而如第 6B圖所示以一測試轉接座 60 (Test Socket)上的一組測試探針頭 61 (Probe Head)分別接觸該接地墊 74與電源墊 75，即可藉由位於基板底面的鐸球墊 (Ball Pad)陣列，輕易完成該電容 71於各種設置狀況下的電性測試步驟。

惟若針對電阻與電感兩種被動元件而言，其接置於基板後之狀態將形成一電性測試上的難題，此係由於若依電阻與電感之使用特性，其係串接於基板上之導電跡線中，如第 7A圖所示之範例，該電阻元件 81係串接於一第一導電跡線 82的第一接點 82a與第二接點 82b上，並依線路佈局而分別電性連接至該第一接點側之第一端部所形成之鐸線墊 85 (Finger)，以及該第二接點側之第二端部所連接之鐸球墊 87 (Ball Pad)，以形成該封裝件之晶片與鐸球 (Solder Ball)及至外界的電性連接關係；其中，如第 7B圖所示，該第一端部所形成之鐸線墊 85 (Finger)係位於該基板 80之頂面並與晶片上之晶片鐸墊進行一鐸線連接，而該第二端部係經由該基板 80之導電貫孔 86而連接至形成於該基板 80底面之鐸球墊 87，因此，此時如欲量測該電阻 81之阻值或其焊接良率，勢必得分別以該基板 80頂面之鐸線墊 85與其底面之鐸球墊 87為該第一接點 82a與第二接點



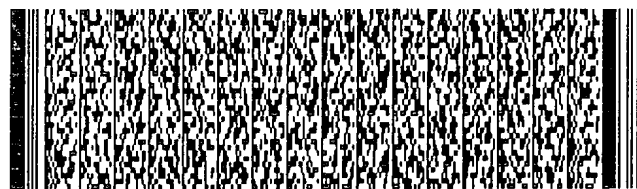
五、發明說明 (3)

82b之替代測試點，而以一組測試探針頭 61分別接觸該鐳線墊 85與鐳球墊 87，惟此狀況即如第 8圖所示，該兩探針頭 61係分別位列於該基板 80之上方與下方，與現行之自動化與標準化的探針測試系統不符，且此一方法一次僅能測試一被動元件，亦無法如具有同一平面之整排探針頭的習知測試系統般進行一快速且大量的被動元件電性測試。

除此之外，第 8圖所示之測試方法需以探針頭 61接觸位於該基板 80頂面之鐳線墊 85，而每一導電跡線之鐳線墊位置均視該封裝件的不同用途而有所不同，且其排列位置亦不若基板 80底面之鐳球墊 87般排列整齊，進行電性測試時該探針頭之尺寸將難以進行標準化，需依不同裝置之封裝件而變，同時，亦可能因該鐳線墊的非規則排列而造成探針頭的定位失準，產生錯誤之電性測試結果。

此一習知測試方法由於係以探針頭直接接觸該基板頂面之鐳線墊，因此除了前述各項操作問題外，亦可能形成該封裝件的品質良率下降，此係由於當以探針頭之針狀尖端接觸該鐳線墊時，極可能會損壞或刮傷其表面的鍍金層 (Ni/Au)，造成該鐳線墊的品質下降，進而於後續鐳線製程中形成金線未完全接著之現象，復產生電性不佳等封裝件良率問題。

由此可知，欲改善現行量測電阻與電感元件電性之問題，勢必得改變已習用多年之基板設計，形成相關週邊成本的大幅上升，因此，如何捨此途而能另開發出一種晶片承載件及其電性測試方法，以在不改變該承載件設計下，



五、發明說明 (4)

快速且自動地進行標準化之被動元件測試，同時可適用於各種不同裝置之承載件佈局，而不致影響其產品良率，確為此一相關領域的重要研發課題。

【發明內容】

因此，本發明之一目的在於提供一種可不需改變晶片承載件設計而測試被動元件電性的晶片承載件及其測試方法。

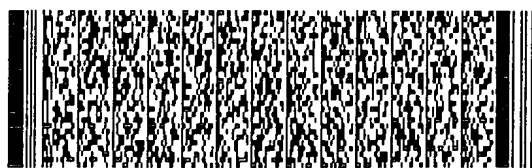
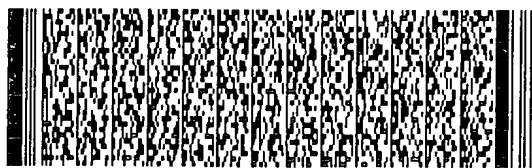
本發明之復一目的在於提供一種可適用於不同裝置晶片承載件之測試被動元件電性的晶片承載件及其測試方法。

本發明之另一目的在於提供一種可進行自動化測試之測試被動元件電性的晶片承載件及其測試方法。

本發明之再一目的在於提供一種可進行快速且標準化測試之測試被動元件電性的晶片承載件及其測試方法。

本發明之又一目的在於提供一種無需接觸鐸線墊之可測試被動元件電性的晶片承載件及其測試方法。

為達前述及其他目的，本發明所提供之可測試被動元件電性的晶片承載件，其表面係接置有至少一被動元件，係包括：芯層，其表面係用以佈設多數導電跡線；至少一預定接置被動元件於其中的第一導電跡線，係具有一第一預定位置與兩端部，該兩端部係可分別連接至位於該晶片承載件一表面的第一鐸線墊與位於另一相對表面的第一鐸球墊，並令該第一預定位置與該第一鐸線墊於該被動元件接置後位於其同一側；至少一未預定接置被動元件的第二

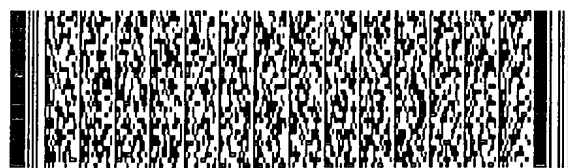


五、發明說明 (5)

導電跡線，係具有兩端部以及與該第一預定位置位於同一表面的第二預定位置，其中一端部係可連接至與該第一錫球墊位於同一表面的第二錫球墊；以及拒錫劑層，係敷覆於該多數導電跡線上，且係形成多數個開口以至少外露該第一預定位置與第二預定位置。

本發明之可測試被動元件電性的測試方法，係運用於一晶片承載件，該晶片承載件之芯層上係佈設有多數導電跡線，而該導電跡線中係至少包括一預定接置被動元件於其中的第一導電跡線，該方法係包括下列步驟：於該第一導電跡線上選定一第一預定位置，而該第一導電跡線之兩端部係可分別連接至一位於該晶片承載件第一表面的第一錫線墊與另一相對表面的第一錫球墊，並令該第一預定位置與該第一錫線墊於該被動元件接置後位於其同一側；選定一未預定接置被動元件的第二導電跡線及其上之第二預定位置，該第二導電跡線之其中一端部係可連接至與該第一錫球墊位於同一表面的第二錫球墊；於該多數導電跡線上敷覆一拒錫劑層，該拒錫劑層係形成多數個開口以至少外露該第一預定位置與第二預定位置；於該第一導電跡線上接置該被動元件；以一導電材料連接該外露出拒錫劑層的第一預定位置與第二預定位置；以及以兩電性測試端接觸位於該晶片承載件同一表面的第一錫球墊與第二錫球墊，進行該被動元件之電性測試。

前述之被動元件係指一電阻元件或一電感元件，而所使用之導電材料係指一由導電橡膠、導電金屬、或其他導



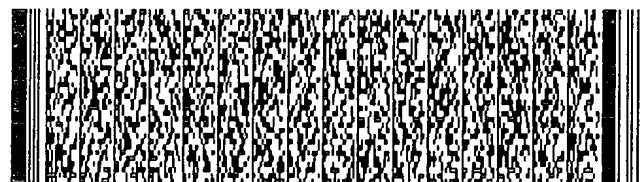
五、發明說明 (6)

電材料所形成之導電性治具；同時，該第一預定位置與第二預定位置上係至少形成有一鎳金層 (Ni/Au)，以分別形成第一短路墊與第二短路墊並藉該導電材料而成一短路導通關係。

因此，本發明即由該多數導電跡線中選定一任意第二導電跡線，以藉由該導電性治具連接該第一短路墊與第二短路墊，令該被動元件之兩端測試點轉移至位於該晶片承載件同一表面的第一錒球墊與第二錒球墊，而可在不需接觸錒線墊之情況下，僅藉由該整齊排列之多數錒球墊即完成所有電阻或電感之標準化電性測試，同時亦無需改變該承載件之設計，而可適用於各種不同裝置之晶片承載件，充分解決習知技術之限制。

【實施方式】

第1圖所示係為本發明可測試被動元件電性之晶片承載件的較佳實施例上視圖，其係為一用於球柵陣列封裝件 (BGA) 的基板 10，且可為一雙層基板或增層式多層板，該基板 10 係包括一由 FR4 樹脂、玻璃樹脂、BT 樹脂、環氧樹脂、聚乙醯胺或氰脂等材料所組成之芯層 11，其表面係佈設有多數圖案化 (Patterned) 之導電跡線 12 與一晶片預置區 13，且該多數導電跡線 12 上係敷設有一拒錒劑層 14 (Solder Mask)，以保護該多數導電跡線 12 並阻絕來自外界之電性干擾；其中，該多數導電跡線 12 之一端部係可形成一可與晶片電性連接之錒線墊 15 (Finger)，另一端部則可如第 2 圖之側視圖所示透過其所對應之導電貫孔 16



五、發明說明 (7)

(Via)而電性連接至該基板 10底面的相對應鐳球墊 17 (Ball Pad)上，以藉由該鐳線墊 15與晶片鐳墊(未圖示)的鐳線連接關係，而形成晶片與外界之電性連接。

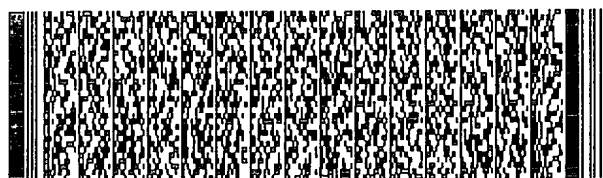
該多數導電跡線 12中係至少具有一預定串接被動元件(電阻或電感)的第一導電跡線 20與任一未串接有被動元件的第二導電跡線 30，如第 2圖所示，該第一導電跡線 20係包括端部可形成第一鐳線墊 25的內段跡線 20a以及可藉由導電貫孔 26而與底面之第一鐳球墊 27連接的外段跡線 20b，並於該內段跡線 20a與外段跡線 20b上相對於該第一鐳線墊 25與第一鐳球墊 26之另一端部位置，分別形成一預計接設被動元件的第一接點 21a與第二接點 21b，以藉後續製程中串接於該第一、第二接點 21a、21b的被動元件連接該內段跡線 20a與外段跡線 20b，而完成一經由被動元件的晶片-外界連接關係；而該第一導電跡線 20上係具有一第一預定位置 22，其係為第一短路墊 22a的預定形成位置，可選自該內段跡線 20a上的任一位置，但以與該第一鐳線墊 25及第一接點 21a相距一適當距離為宜；同時，該第二導電跡線 30係可選自該基板 10上未串接有被動元件的任一導電跡線，其與該第一導電跡線 20之位置關係並無一定限制，且該第二導電跡線 30之兩相對端部亦可分別形成位於該基板 10頂面的第二鐳線墊 35與其底面的第二鐳球墊 37，該跡線 30上亦具有一第二預定位置 32，以為第二短路墊 32a的預定形成位置，此一第二預定位置 32並無特殊之選擇限制。



五、發明說明 (8)

當該拒銲劑層 14 塗佈而敷設於該芯層 11 與導電跡線 12 上時，係藉由其對應光罩之設計而形成複數個開口，以外露出該多數導電跡線 12 之預定外露位置；其係於該多數導電跡線 12 之一端部分別形成開口以製成該多數導電跡線 12 的對應銲線墊 15、25 及 35，進行與晶片之銲線連接；同時，該拒銲劑層 14 之光罩亦於該第一導電跡線 20 上之第一接點 21a 與第二接點 21b 位置形成開口，以於後續製程進行表面黏著而串接該預定之被動元件，以藉由被動元件連接該第一導電跡線 20 的內段跡線 20a 與外段跡線 20b；此外，除前述預定外露位置外，本發明之可測試被動元件電性的晶片承載件，係依所選定之第一、第二預定位置 22、32 的對應光罩位置，額外形成該拒銲劑層 14 的兩開口，以分別外露出該第一、第二導電跡線 20、30 上的第一、第二預定位置 22、32，進而於該位置形成該第一短路墊 22a 與第二短路墊 32a；其中，該導電跡線之銲線墊係於該外露之導電跡線端部形成至少一鎳金層 (Ni/Au)，以於後續銲線 (Wire Bond) 製程中銲接金質銲線，而該第一、第二短路墊 22a、32a 亦係於該第一、第二預定位置 22、32 上鍍上至少一鎳金層 (Ni/Au) 而製成，此與該銲線墊之形成均同樣為習知封裝製程，故此處不再另文贅述。

因此，於本實施例之晶片承載件中，若如第 3 圖於該第一導電跡線 20 上以表面黏著技術串接一如電阻與電感之被動元件 40，即可於外露出該拒銲劑層 14 外且形成該第一、第二短路墊 22a、32a 的第一、第二預定位置 22、32，

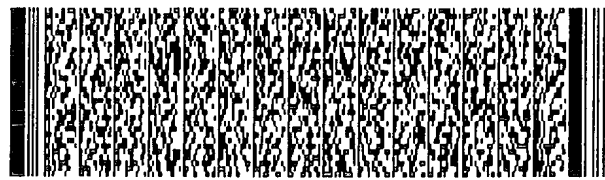
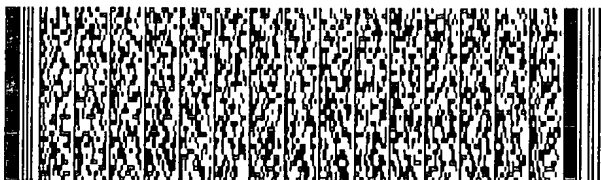


五、發明說明 (9)

進行一電路導通而令該第一、第二短路墊 22a、32a 形成一短路，使該第二導電跡線 30 與該第一導電跡線 20 的內段跡線 20a 亦形成短路，進而可以該第二導電跡線 30 的第二鉅球墊 37 取代該被動元件 40 之第一接點 21a 而成為其替代測試點，此時，即可藉由該第一鉅球墊 27 (可藉導電貫孔 26 而取代該第二接點 21b) 與第二鉅球墊 37 兩端點之電性測量完成該被動元件 40 的測試。

前述該第一短路墊 22a 與第二短路墊 32a 之短路關係可藉由一導電連接來達成，其係如第 3 圖所示以一導電性治具 50 置於該拒鉅劑層 14 上，以令該導電性治具 50 覆蓋並分別接觸連接該第一短路墊 22a 與第二短路墊 32a，而該導電性治具 50 可為一導電橡膠、導電金屬塊或其他導電材料所形成之治具，並藉由一施壓製程使其能同時接觸該第一短路墊 22a 與第二短路墊 32a；該導電性治具 50 之形狀與位置可視該第一導電跡線 20 與第二導電跡線 30 之設計位置而定，若使用之治具為一導電金屬塊，則測試者往往需針對不同裝置的不同晶片承載件設計而變換金屬塊之位置或形狀，而若使用之治具為一導電橡膠，則由於該導電橡膠具有彈性，將可同時適用於不同設計之晶片承載件以接觸位於不同位置的第一、第二短路墊 22a、32a，而無需不斷變換導電性治具 50 之位置以符合不同晶片承載件需求。

欲進行該被動元件 40 之電性測試時，可將該基板 10 裝設於一習知的測試轉接座 60 (Test Socket) 上，並以該基板 10 上整齊排列有鉅球墊之底面朝向該轉接座 60 具有測試

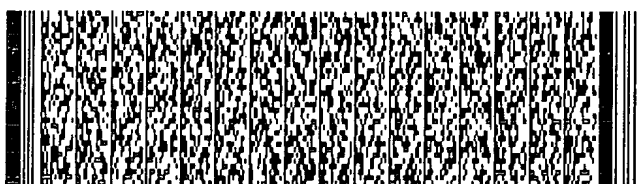


五、發明說明 (10)

探針頭 61 之表面，如第 4 圖所示，以一組具有標準探針間距 (Probe Pitch) 的探針頭 61 接觸該基板 10 底面之鐳球墊，以令該組探針頭 61 可分別抵觸該第一鐳球墊 27 與第二鐳球墊 37，而可藉此一組測試點完成該被動元件 40 之電性測試，同時不致使該探針頭 61 接觸該基板 10 之鐳線墊 15、25 及 35 (見第 1 圖) 而影響鐳線墊的品質；該第二導電跡線 30 或第二鐳球墊 37 之位置選擇，可配合該第一鐳球墊 27 之位置，而依據該測試轉接座 60 上之探針間距而定，以達一快速且精準定位之測試過程，或者亦可依晶片承載件線路佈局所形成之待測試鐳球墊位置，調整該探針間距以符合測試所需，務求達至商業上的快速且大量測試需求。

當完成晶片承載件上之被動元件 40 的電性測試且移開該導電性治具 50 後，該外露出拒鐳劑層 14 的第一、第二短路墊 22a、32a 即已完成其設計目的，此時可藉由該晶片承載件於後續封裝件之封膠製程，以一封裝膠體 (Encapsulant) 而於該製程中進行一填滿覆蓋，而不致於後續操作時再形成短路之導通關係或衍生其他的信賴性問題。

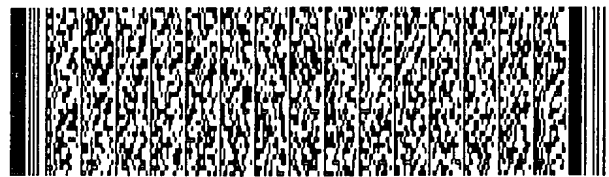
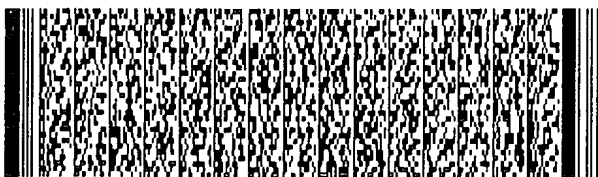
因此，本發明之可測試被動元件電性的晶片承載件即係藉由該第一預定位置 22 與第二預定位置 32 之設計，形成一短路關係以解決習知上測試被動元件電性之限制，而若該晶片承載件上串接有不只一個被動元件，則可依相同方法，分別於所設計串接有被動元件之導電跡線的鄰近導電跡線 (未串接被動元件) 上，形成多數個短路墊以作為電性



五、發明說明 (11)

測試之短路導通用；測試者亦可僅於基板上選定單一第二導電跡線，而以一較大面積的導電性治具同時形成該第二導電跡線與所有待測試被動元件之導通關係，此時即可依序選定該複數個待測試被動元件的測試錫球墊為測試點，藉此依序以該第二導電跡線的錫球墊為另一測試點以分別進行電性測試，此一設計將可減少短路墊之設置數目與替換導電性治具之成本。

本發明之可測試被動元件電性的測試方法其步驟係如第 5A 至 5F 圖所示，運用於一佈設有多數導電跡線的基板 10 上，並於該預定串接被動元件的第一導電跡線 20 的內段跡線 20a 上，選定一預定形成第一短路墊的第一預定位置 22，而該第一導電跡線 20 之內段跡線 20a 的兩端部係可如第 5A 圖所示分別形成一被動元件第一接點 21a 與位於該基板 10 頂面的第一錫線墊（未圖示），而該外段跡線 20b 的兩端部則可分別形成一被動元件第二接點 21b 與連接至該基板 10 底面之第一錫線墊 27；接著，如第 5B 圖所示，於該基板 10 上選定一未串接有被動元件的第二導電跡線 30 及其上之第二預定位置 32，該第二預定位置 32 係一預定形成第二短路墊之位置，且該第二導電跡線 30 之其中一端部係可形成同樣位於該基板 10 底面的第二錫球墊 37；復如第 5C 圖所示，於該多數導電跡線上敷覆一拒錫劑層 14，該拒錫劑層 14 係依所設計之光罩而形成多數個開口，以外露出包括該第一、第二導電跡線 20、30 在內之多數導電跡線的端部，而形成該導電跡線之錫線墊（未圖示），同時亦外露出該第

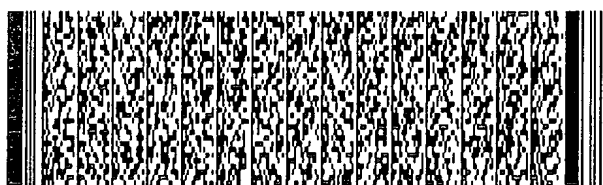


五、發明說明 (12)

一導電跡線 20 的第一接點 21a 與第二接點 21b，以串接該被動元件，以及外露出該第一預定位置 22 與第二預定位置 32，進而於該位置上形成所需之第一短路墊 22a 與第二短路墊 32a；第 5D 圖所示，即串接該被動元件 40 於該第一導電跡線 20 的第一接點 21a 與第二接點 21b 以連接該內段跡線 20a 與外段跡線 20b；進而於第 5E 圖中以一導電性治具 50 連接該外露出拒錫劑層 14 的第一短路墊 22a 與第二短路墊 32a，使其形成一短路關係，接著即可如第 5F 圖所示，將該基板 10 裝設於一測試轉接座 60 上，並以該測試轉接座 60 之一組測試探針頭 61 接觸該基板 10 底面的第一錫球墊 27 與第二錫球墊 37，以藉由該第一短路墊 22a、第二短路墊 32a 與測試探針頭 61 所形成之迴路，進行該被動元件 40 之電性測試。

前述被動元件 40 係藉由習知之表面黏著技術 (SMT) 將該被動元件 40 黏接於該外露之第一、第二接點 21a、21b 上，而該導電跡線之錫線墊與第一、第二短路墊 22a、32a 均係於該外露之導電跡線端部與該第一、第二預定位置 22、32 上鍍上至少一鎳金層 (Ni/Au) 而成形，此均為習知之封裝製程，故於前述本發明測試方法中不再另詳贅述。

因此，本發明之測試方法即可藉由棋盤狀排列於基板底面之複數個錫球墊，以測試轉接座之測試探針頭進行如電阻與電感等被動元件之電性測試，並可藉該第二導電跡線之選定位置或該組探針頭之間距，針對不同線路佈局的晶片承載件，完成其表面上一或多個被動元件之快速且標



五、發明說明 (13)

準化電性測試。

綜上所述，本發明之可測試被動元件電性的晶片承載件及其測試方法，確可在不改變基板設計下，進行一快速且標準化的自動電性測試，同時，亦不致因不同裝置之晶片承載件的變化而影響其測試便利性，復可避免測試探針頭於測試過程接觸該晶片承載件之鐸線墊，以確保該晶片承載件的良率品質。

惟以上所述者，僅為本發明之具體實施例而已，並非用以限定本發明之範圍，舉凡熟習此項技藝者在本發明所揭示之精神與原理下所完成的一切等效改變或修飾，仍應皆由後述之專利範圍所涵蓋。



圖式簡單說明

【圖式簡單說明】

第 1圖係本發明之晶片承載件較佳實施例之上視圖；

第 2圖係本發明之晶片承載件較佳實施例之側視圖；

第 3圖係為以一導電性治具接觸本發明之晶片承載件之示意圖；

第 4圖係本發明之晶片承載件進行電性測試之示意圖；

第 5A至 5F圖係本發明之電性測試方法之示意流程圖；

第 6A圖係習知上接置有一電容之晶片承載件上視圖；

第 6B圖係習知上接置有一電容之晶片承載件之測試示意圖；

第 7A圖係習知上接置有電阻或電感之晶片承載件上視圖；

第 7B圖係習知上接置有電阻或電感之晶片承載件側視圖；以及

第 8圖係習知上接置有電阻或電感之晶片承載件之測試示意圖。

10 基板

11 芯層

12 導電跡線

13 晶片預置區

14 拒銲劑層

15 銲線墊

16 導電貫孔

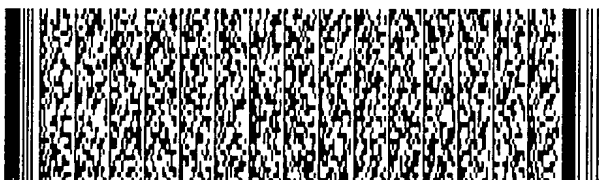
17 銲球墊

20 第一導電跡線

20a 內段跡線

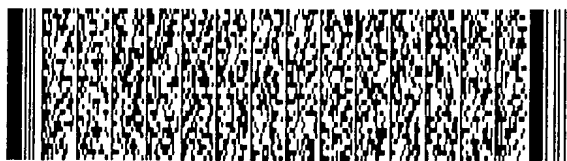
20b 外段跡線

21a 第一接點



圖式簡單說明

21b	第二接點	22	第一預定位置
22a	第一短路墊	25	第一鐳線墊
26	導電貫孔	27	第一鐳球墊
30	第二導電跡線	32	第二預定位置
32a	第二短路墊	35	第二鐳線墊
36	導電貫孔	37	第二鐳球墊
40	被動元件	50	導電性治具
60	測試轉接座	61	測試探針頭
70	基板	71	電容
72	接地層	73	電源層
74	接地墊	75	電源墊
76	導電貫孔	80	基板
81	電阻或電感	82	導電跡線
82a	第一接點	82b	第二接點
85	鐳線墊	86	導電貫孔
87	鐳球墊		



六、申請專利範圍

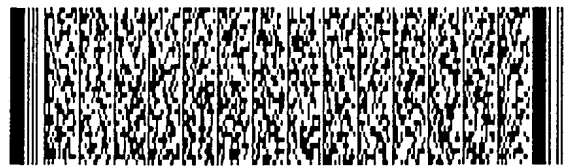
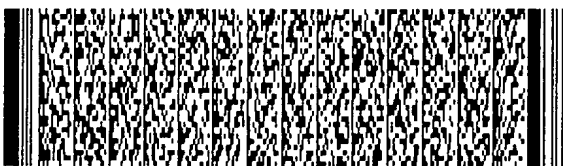
1. 一種可測試被動元件電性的晶片承載件，其表面係接置有至少一被動元件，係包括：
 芯層，其表面係用以佈設多數導電跡線；
 至少一預定接置被動元件於其中的第一導電跡線，係具有一第一預定位位置與兩端部，該兩端部係可分別連接至位於該晶片承載件一表面的第一鐳線墊與位於另一相對表面的第一鐳球墊，並令該第一預定位位置與該第一鐳線墊於該被動元件接置後位於其同一側；
 至少一未預定接置被動元件的第二導電跡線，係具有兩端部以及與該第一預定位位置位於同一表面的第二預定位位置，其中一端部係可連接至與該第一鐳球墊位於同一表面的第二鐳球墊；以及
 拒鐳劑層，係敷覆於該多數導電跡線上，且係形成多數個開口以至少外露出該第一預定位位置與第二預定位位置。
2. 如申請專利範圍第1項之晶片承載件，其中，該被動元件係為一電阻元件。
3. 如申請專利範圍第1項之晶片承載件，其中，該被動元件係為一電感元件。
4. 如申請專利範圍第1項之晶片承載件，其中，該第一預定位位置與第二預定位位置上係至少形成有一鎳金層(Ni/Au)。
5. 如申請專利範圍第1項之晶片承載件，其中，該晶片承



六、申請專利範圍

載件係為一基板。

6. 如申請專利範圍第1項之晶片承載件，其中，該被動元件係以表面黏著技術(SMT)串接於該第一導電跡線上。
7. 如申請專利範圍第1項之晶片承載件，其中，該芯層係選自由FR4樹脂、玻璃樹脂、BT樹脂、環氧樹脂、聚乙醯胺及氰脂所組成之組群之一者。
8. 一種可測試被動元件電性的測試方法，係運用於一晶片承載件，該晶片承載件之芯層上係佈設有多數導電跡線，而該導電跡線中係至少包括一預定接置被動元件於其中的第一導電跡線，該方法係包括下列步驟：
於該第一導電跡線上選定一第一預定位置，而該第一導電跡線之兩端部係可分別連接至位於該晶片承載件一表面的第一鐳線墊與另一相對表面的第一鐳球墊；並令該第一預定位置與該第一鐳線墊於該被動元件接置後位於其同一側；
選定一未預定接置被動元件的第二導電跡線及其上之第二預定位置，而該第二導電跡線之其中一端部係可連接至與該第一鐳球墊位於同一表面的第二鐳球墊；
於該多數導電跡線上數覆一拒鐳劑層，該拒鐳劑層係形成多數個開口以至少外露出該第一預定位置與第二預定位置；
於該第一導電跡線上接置該被動元件；
以一導電材料連接該外露出拒鐳劑層的第一預定

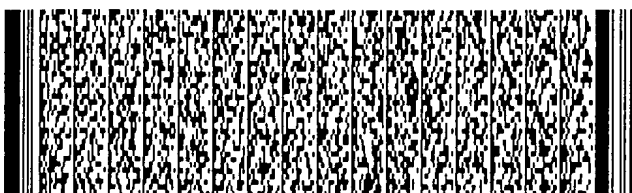


六、申請專利範圍

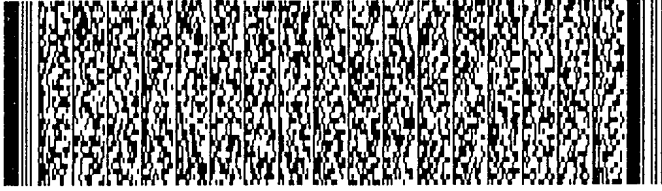
位置與第二預定位置；以及

以兩電性測試端接觸位於該晶片承載件同一表面的第一鐳球墊與第二鐳球墊，進行該被動元件之電性測試。

9. 如申請專利範圍第 8 項之測試方法，其中，該導電材料係為一導電橡膠所形成之導電性治具。
10. 如申請專利範圍第 8 項之測試方法，其中，該導電材料係為一導電金屬塊所形成之導電性治具。
11. 如申請專利範圍第 8 項之測試方法，其中，該被動元件係為一電阻元件。
12. 如申請專利範圍第 8 項之測試方法，其中，該被動元件係為一電感元件。
13. 如申請專利範圍第 8 項之測試方法，其中，該第一預定位置與第二預定位置上係至少形成有一鎳金層 (Ni/Au)。
14. 如申請專利範圍第 8 項之測試方法，其中，該晶片承載件係為一基板。
15. 如申請專利範圍第 8 項之測試方法，其中，該被動元件係以表面黏著技術 (SMT) 串接於該第一導電跡線上。
16. 如申請專利範圍第 8 項之測試方法，其中，該芯層係選自由 FR4 樹脂、玻璃樹脂、BT 樹脂、環氧樹脂、聚乙醯胺及氰脂所組成之組群之一者。
17. 如申請專利範圍第 8 項之測試方法，其中，該電性測試端係為一測試系統之測試探針 (Probe)。



第 1/25 頁



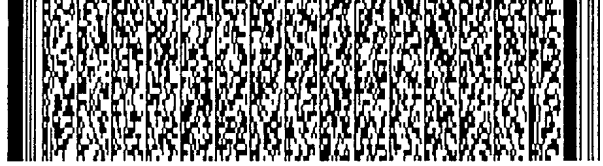
第 2/25 頁



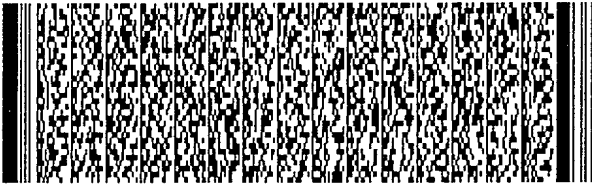
第 3/25 頁



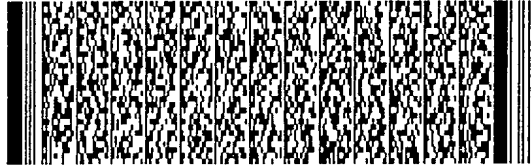
第 3/25 頁



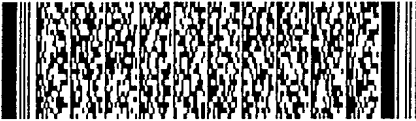
第 4/25 頁



第 5/25 頁



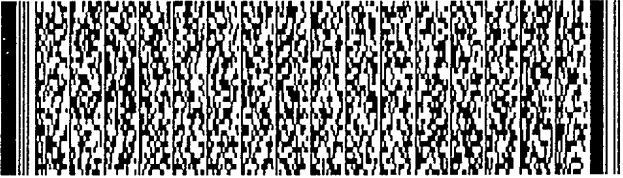
第 6/25 頁



第 7/25 頁



第 8/25 頁



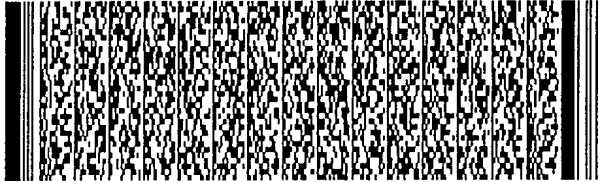
第 8/25 頁



第 9/25 頁



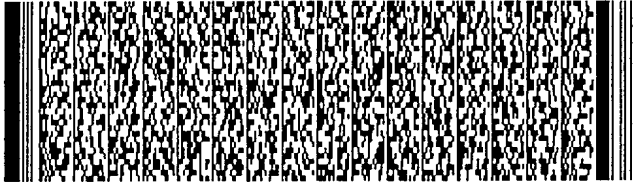
第 9/25 頁



第 10/25 頁



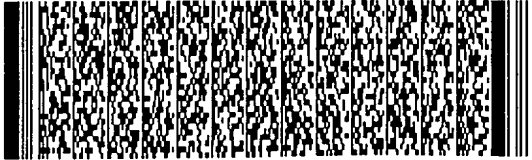
第 10/25 頁



第 11/25 頁



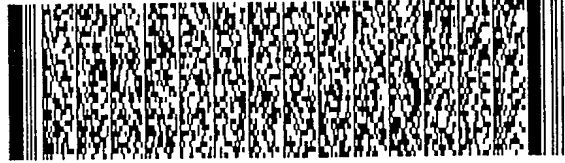
第 11/25 頁



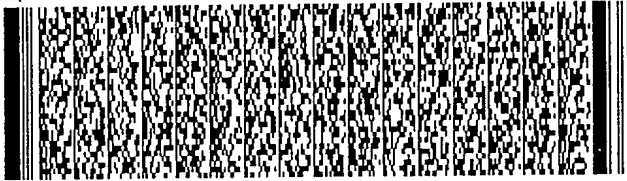
第 12/25 頁



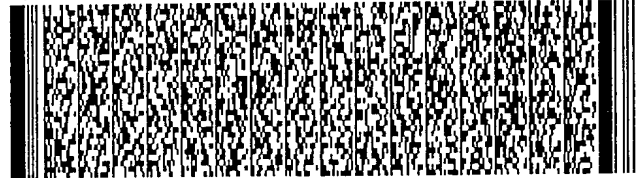
第 12/25 頁



第 13/25 頁



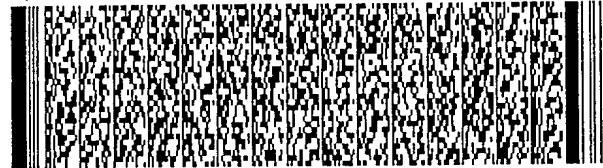
第 13/25 頁



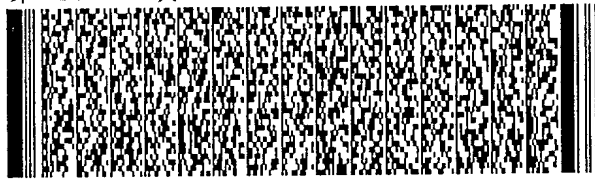
第 14/25 頁



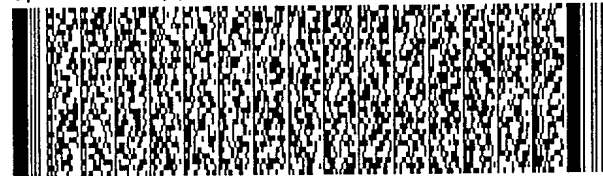
第 14/25 頁



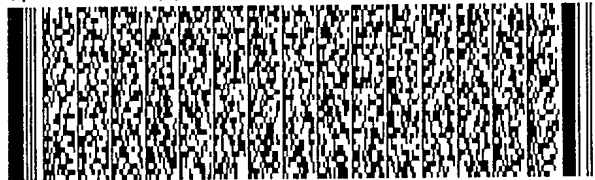
第 15/25 頁



第 15/25 頁



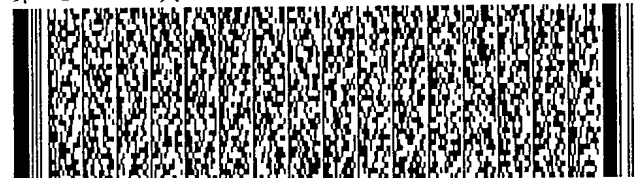
第 16/25 頁



第 16/25 頁



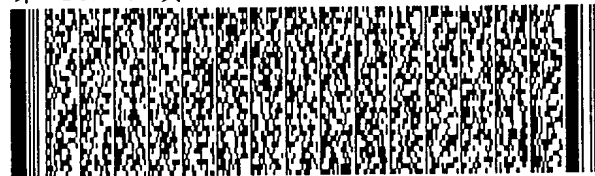
第 17/25 頁



第 17/25 頁



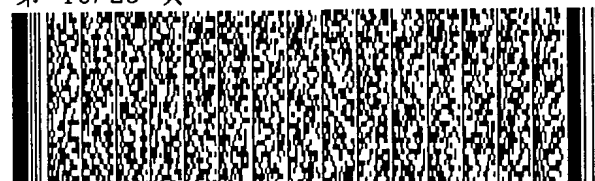
第 18/25 頁



第 18/25 頁



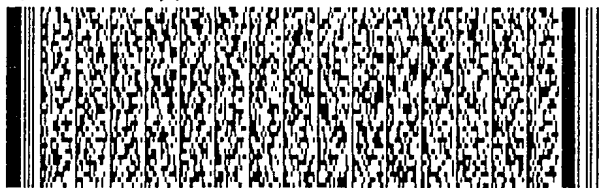
第 19/25 頁



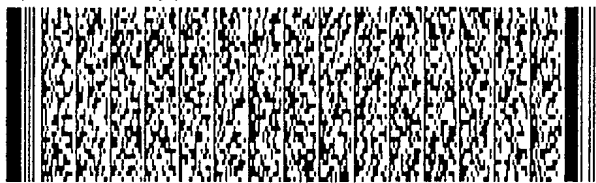
第 19/25 頁



第 20/25 頁



第 21/25 頁



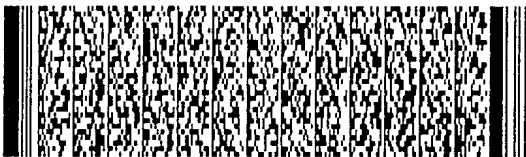
第 22/25 頁



第 23/25 頁



第 23/25 頁



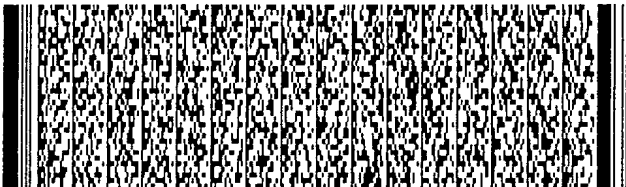
第 24/25 頁

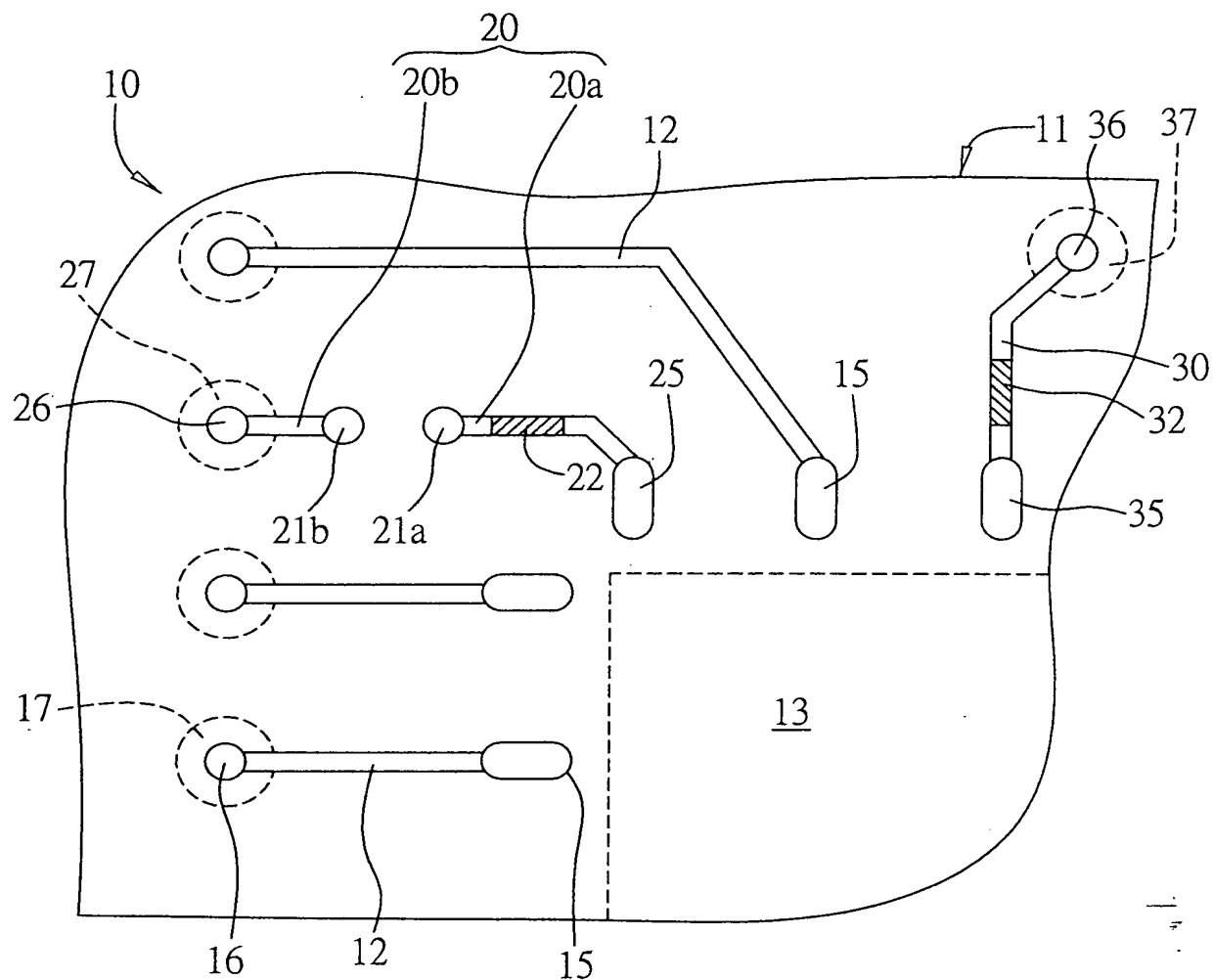


第 24/25 頁

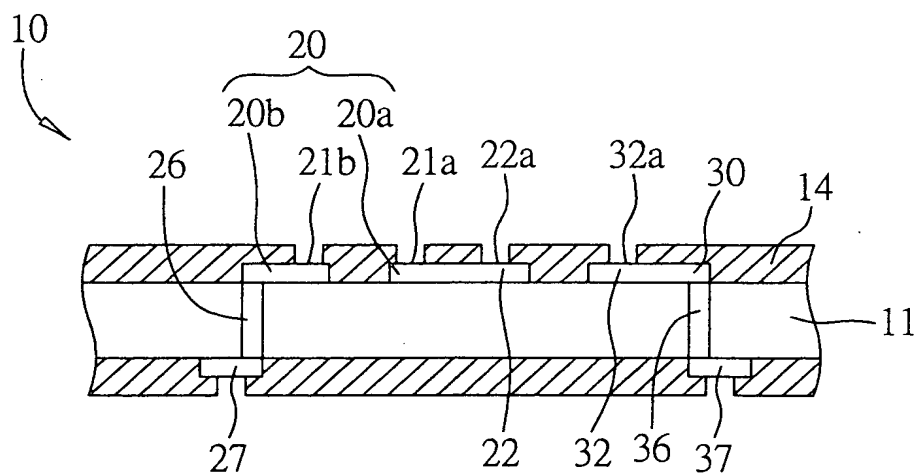


第 25/25 頁

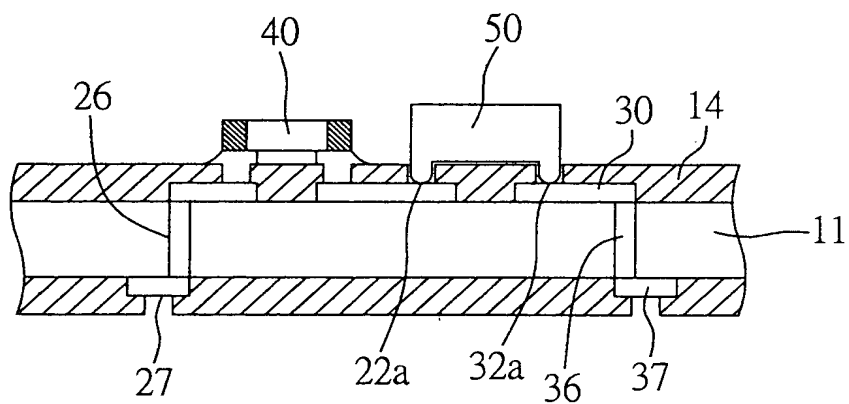




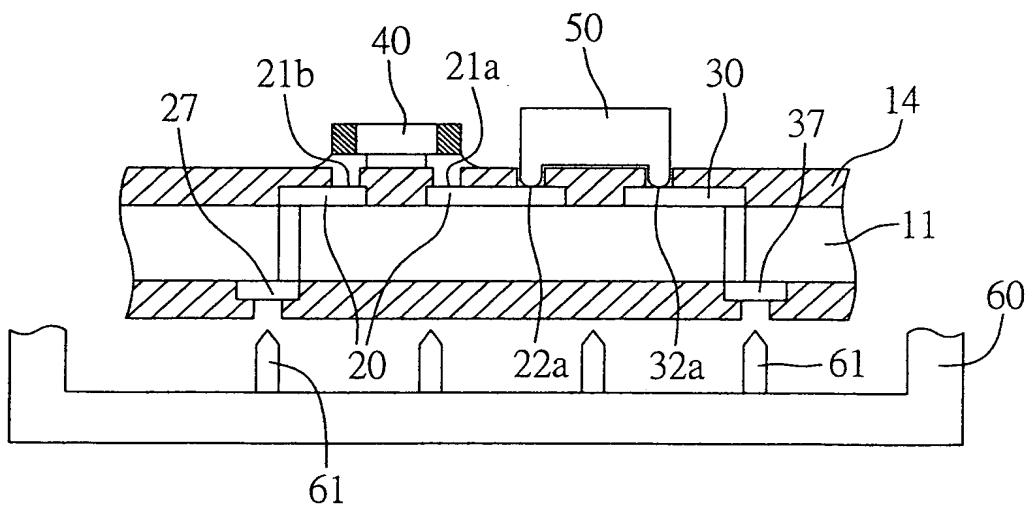
第 1 圖



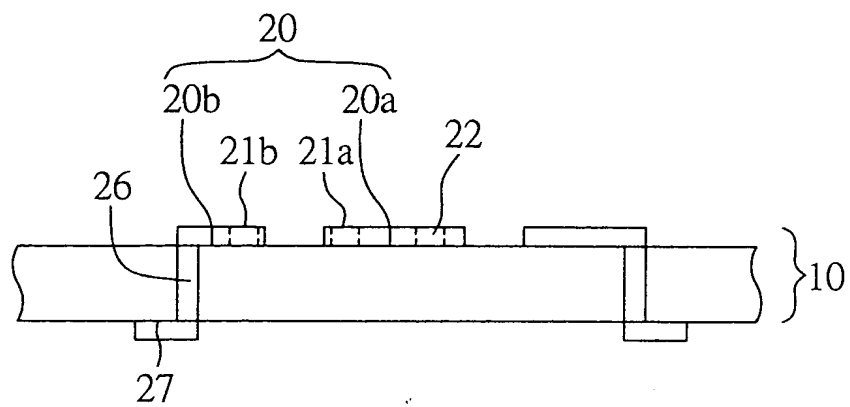
第 2 圖



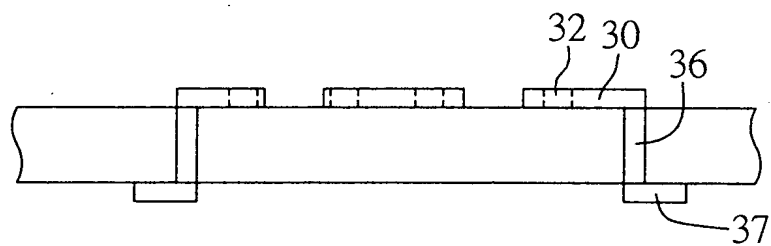
第 3 圖



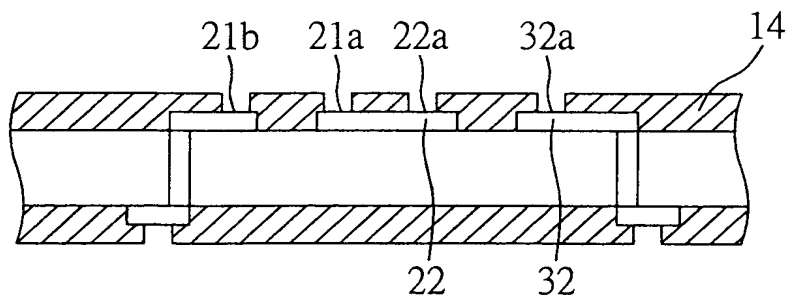
第 4 圖 (代表圖)



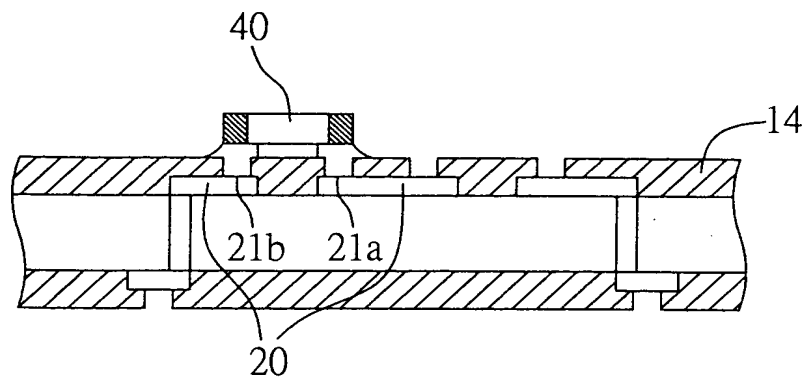
第 5A 圖



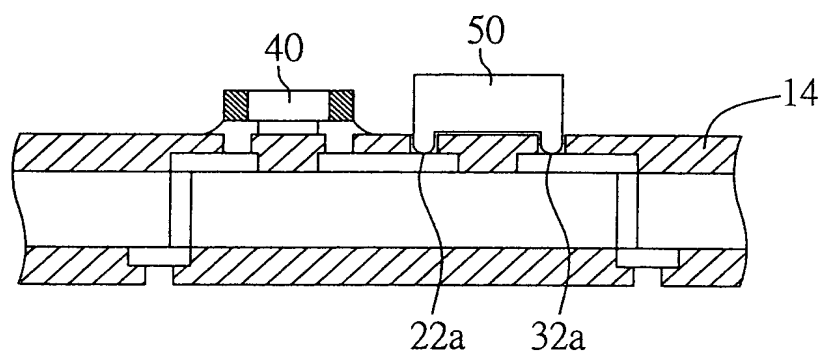
第 5B 圖



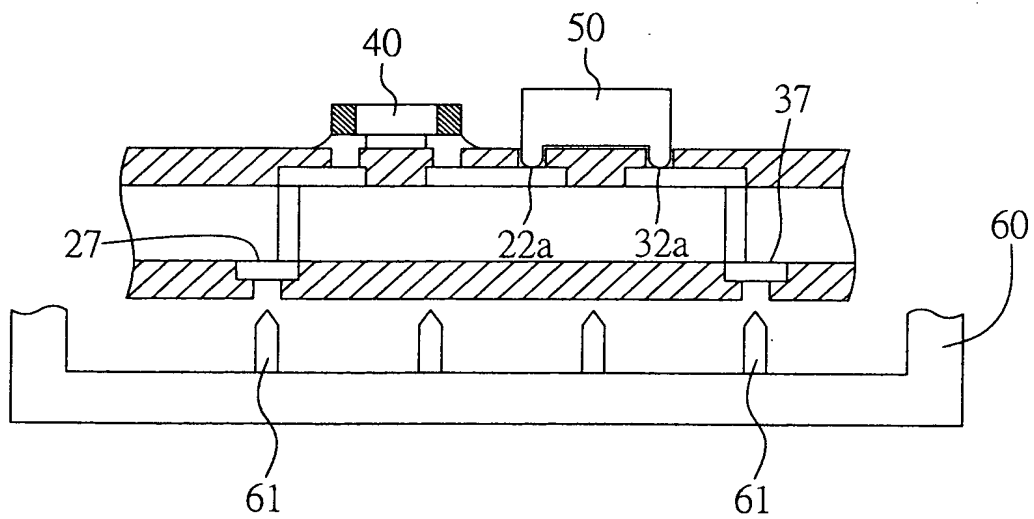
第 5C 圖



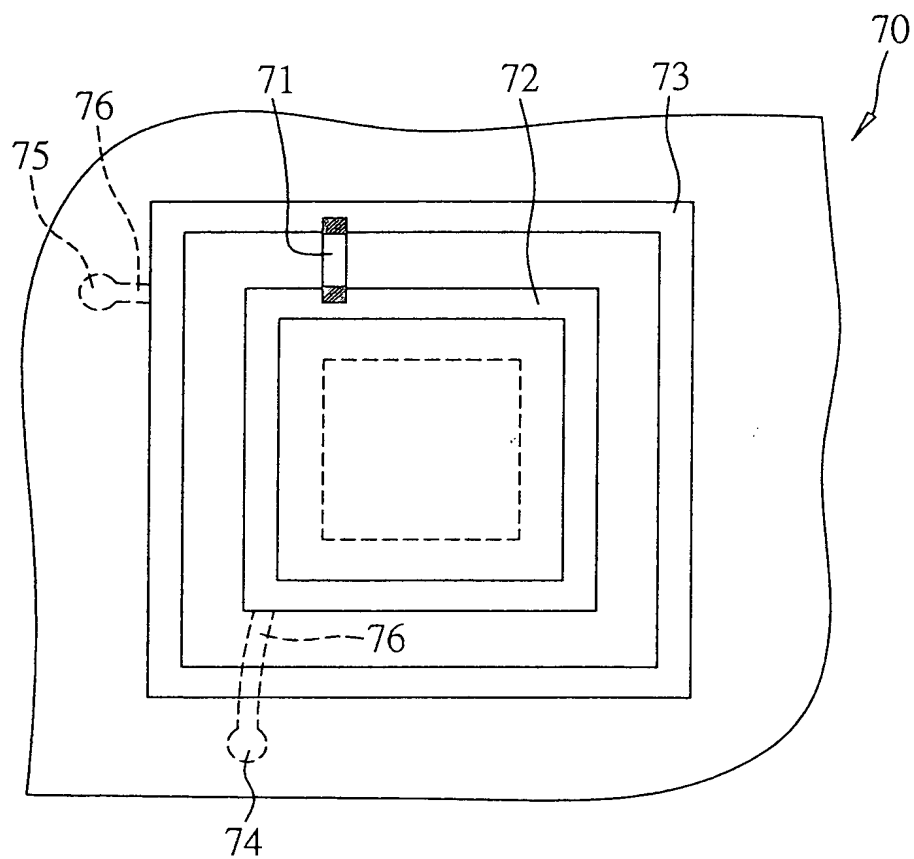
第 5D 圖



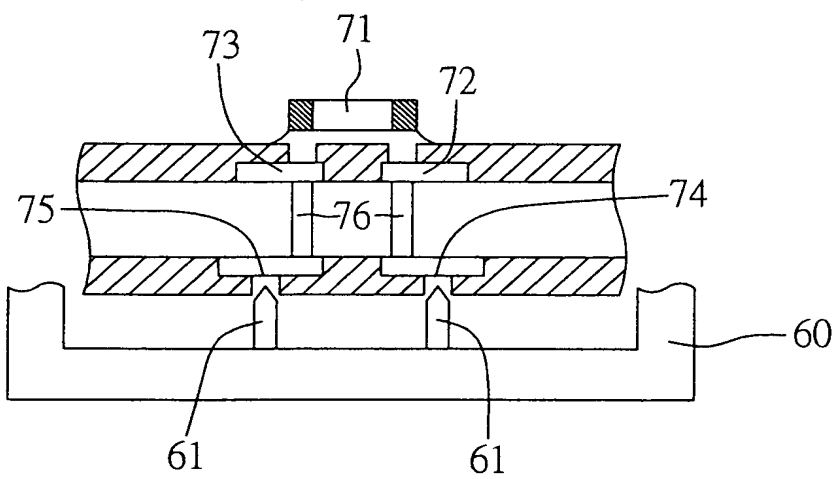
第 5E 圖



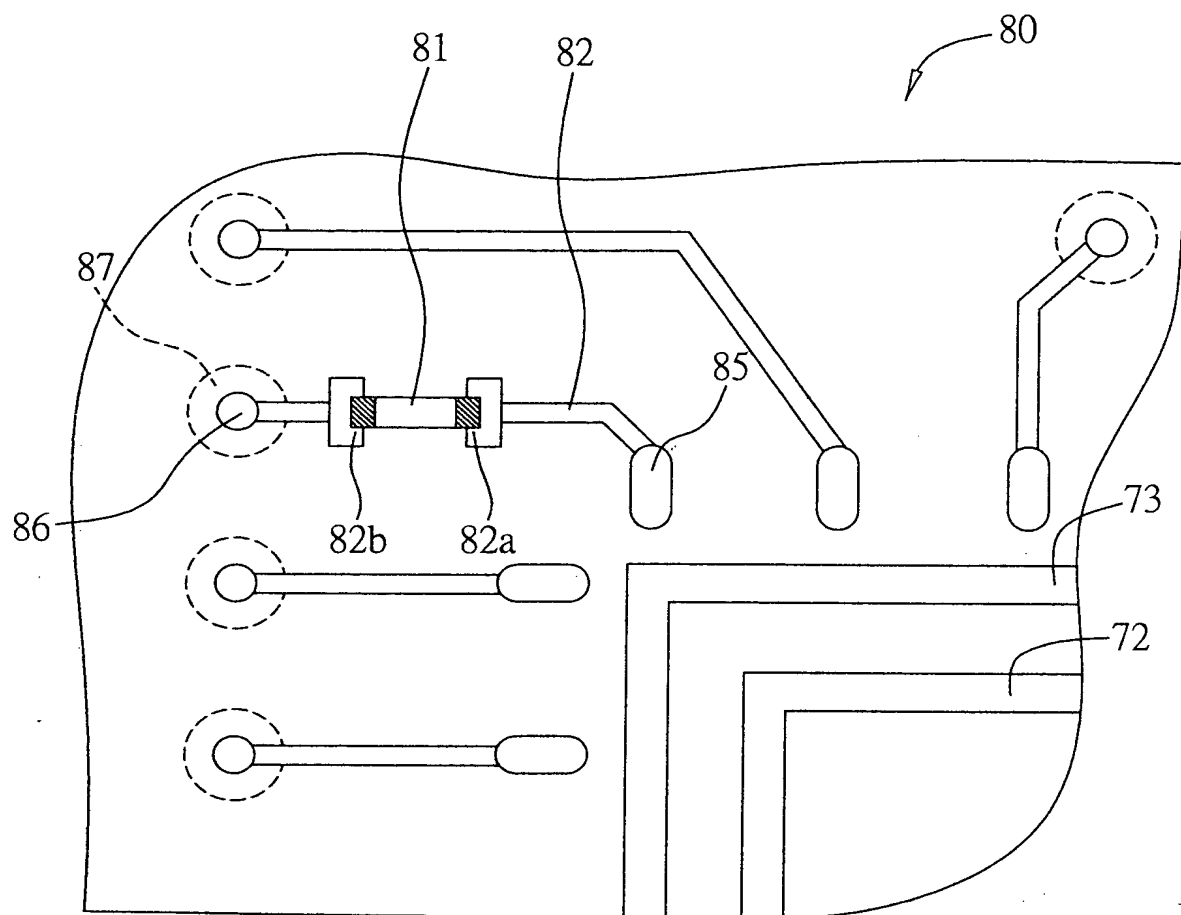
第 5F 圖



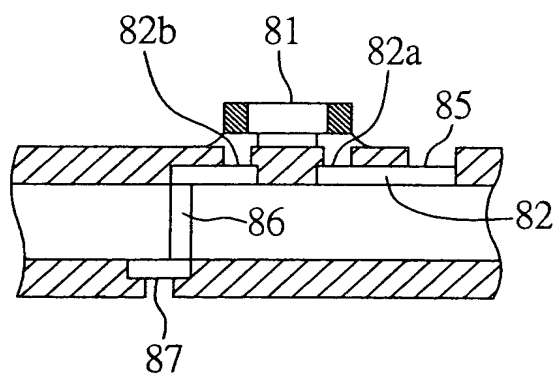
第 6A 圖



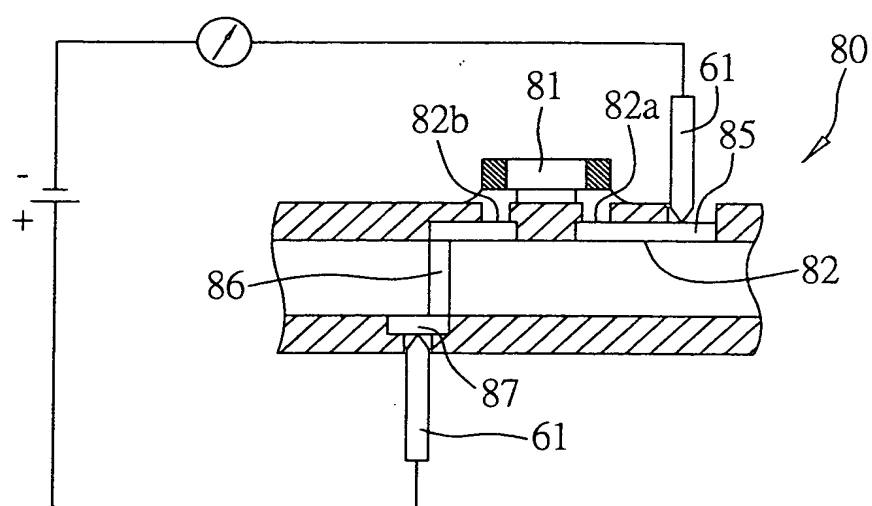
第 6B 圖



第 7A 圖 (先前技術)



第 7B 圖 (先前技術)



第 8 圖 (先前技術)